

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-122470

(43)Date of publication of application : 18.05.1993

(51)Int.Cl.

H04N 1/12
H04N 1/00
// H02P 5/00

(21)Application number : 03-304007

(71)Applicant : CANON INC

(22)Date of filing : 23.10.1991

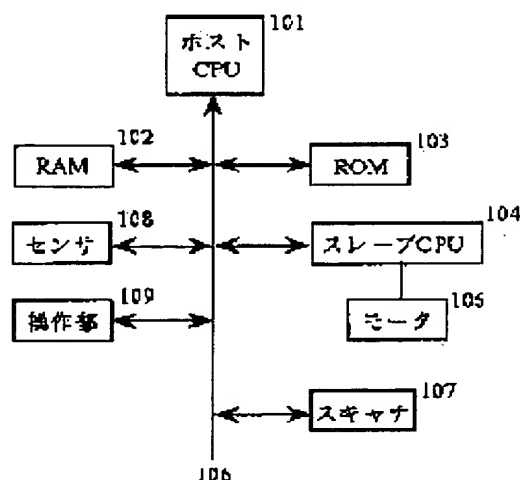
(72)Inventor : TOYAMA TAKESHI

(54) FACSIMILE EQUIPMENT

(57)Abstract:

PURPOSE: To perform motor control with high accuracy by using several kinds of acceleration information tables properly without applying burden on a host CPU and increasing memory capacity on a slave CPU side in facsimile equipment provided with a ROM/RAM built-in type slave CPU for motor control other than the host CPU.

CONSTITUTION: This equipment is provided with such feature that the several kinds of acceleration information tables are provided in a ROM 103 on a host CPU 101 side, and also, an area in which one acceleration information table can be stored in a RAM incorporated in the slave CPU 104 is provided, and one table out of a table group in the ROM 103 is selected before an original is read, and it is transferred to a storage area in the slave CPU 104, and a motor 105 can be rotated by a trigger command issued from the host CPU 101 by the slave CPU 104 based on acceleration information stored in the built-in RAM.



LEGAL STATUS

[Date of request for examination]

11.07.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3096114

[Date of registration]

04.08.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

特許第3096114号

(P3096114)

(45)発行日 平成12年10月10日(2000. 10. 10)

(24)登録日 平成12年 8 月 4 日(2000. 8. 4)

(51)Int.Cl.⁷

識別記号

F I

H 0 4 N 1/04

H 0 4 N 1/12

Z

請求項の数3(全 9 頁)

(21)出願番号 特願平3-304007

(22)出願日 平成3年10月23日(1991. 10. 23)

(65)公開番号 特開平5-122470

(43)公開日 平成5年5月18日(1993. 5. 18)

審査請求日 平成9年7月11日(1997. 7. 11)

(73)特許権者 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 外山 猛

東京都大田区下丸子3丁目30番2号

キヤノン株式会社内

(74)代理人 100087446

弁理士 川久保 新一

審査官 梅岡 信幸

最終頁に続く

(54)【発明の名称】 ファクシミリ装置

1

(57)【特許請求の範囲】

【請求項1】 装置全体の制御をつかさどるホストCPUの他に、このホストCPUの制御下におかれるモータ制御用のROM、RAM内蔵型のスレーブCPUを有するファクシミリ装置において、

ホストCPU側のROM内に複数通りの加速情報テーブルを設けるとともに、スレーブCPU内蔵のRAMに前記加速情報テーブル1つ分が格納できるエリアを設け、原稿を読み取る前にROM内のテーブル群の中から1つを選択してスレーブCPU内の格納エリアに転送し、ホストCPUから発行されるトリガコマンドに対してスレーブCPUが内蔵RAMに格納した加速情報を基にモータを回転させることを特徴とするファクシミリ装置。

【請求項2】 請求項1において、前記ホストCPU側のROM内に格納された加速情報テ

2

ーブルを選択する操作キーを有し、複数ページの原稿を読み取る場合には、各ページを読み取る前に当該キー情報を得ることにより、その情報を基に加速情報テーブル群から1つを選択して前記スレーブCPUに転送することを特徴とするファクシミリ装置。

【請求項3】 請求項1において、

ダイレクト送信時には、その交信モードに基づいてホストCPU側のROM内に格納された加速情報テーブル群から1つを選択して前記スレーブCPUに転送することを特徴とするファクシミリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ファクシミリ装置におけるモータ制御に関する。

【0002】

【従来の技術】従来より、ファクシミリ装置においては、読み取り原稿を搬送する駆動源としてステッピングモータが用いられてきた。そして、特に近年においては、高画質を実現するため、より精度の高いモータ制御技術が要求されている。

【0003】そこで、このような要求に応える手段として、モータ制御専用のスレーブCPUを設け、ホストCPUの管理のもとでモータ制御を行わせるという方法がとられている。スレーブCPUとしては、ROM、RAM、I/O制御部等を内蔵したワンチップマイクロコンピュータが用いられている。

【0004】図2は、ワンチップマイクロコンピュータの構成例を示すブロック図である。このワンチップマイクロコンピュータは、CPU201と、プログラムで用いる制御変数等を格納するためのRAM202と、制御プログラムを格納したROM203と、例えばあるタイマ値をセットすることで所望の周期ごとに割り込みをかけるのに用いるタイマ204と、相励磁IC206を介してモータ207を制御するためのI/O制御部205と、外部バス211を介してホストCPUとのコマンド

インターフェースを実現するバスI/F制御部209と、スレーブCPU内部バス210とを有する。

【0005】以下、このような構成におけるモータの制御方法について説明する。

【0006】まず、ホストCPUからのトリガコマンドをバスI/F制御部209を介して受け取る。

【0007】このトリガコマンドには、周波数情報とステップ数情報を含んでいる。

【0008】例えば、400ppsで4ステップ動かす場合には、タイマ204に2.5msecという値を設定して、2.5msecごとに励磁相を切り換える割り込みプログラムを発生させる。この割り込み内で4回励磁相を切り換えればモータが4ステップ動くことになる。また高速でモータを回転させる場合、モータの自起動周波数から加速して行き所望の周波数まで到達させるという加速制御が必要となる。

【0009】図3は、1600ppsまでの加速制御の例を説明する模式図である。

【0010】図中Aのタイミングで400pps-1ステップのトリガコマンドを受け取ると、スレーブCPUは、図中aのタイミングで励磁相を切り換えて1ステップだけモータを動かす。なお、この1ステップはファクシミリ装置でいうスーパーファイン1ライン分[15.4ライン/mm]に相当する。

【0011】次に、図中Bのタイミングで800pps-2ステップのトリガコマンドを受け取ると、スレーブCPUは、図中b1、b2のタイミングで励磁相を切り換えてモータを2ステップ動かす。そして、図中Dのタイミングで、到達目標である1600pps-4ステップのトリガコマンドを受け取ると、図中d1、d2、d

3、d4のタイミングで励磁相を切り換える。以降、このトリガコマンドによって1600ppsでモータを回転させる。

【0012】一方、ホストCPUの負荷をより一層軽減するために、前述の加速情報をスレーブCPU内のROMにテーブルとして取り込み、ホストCPUは加速を意識せずにトリガコマンドを発行するだけでスレーブCPU側で独自に加速するという方法もとられている。

【0013】図4は、スレーブCPUのROM203内の加速情報テーブルの例を示す模式図である。

【0014】スレーブCPUは、この加速情報テーブルを何種類か有しており、ホストCPUからのコマンドによりいずれか1つを選択する。

【0015】テーブル内のデータはポインタにより管理させており、トリガコマンドを受けるとポインタの指している周波数とステップ数でモータを動かした後、ポインタを次データにセットする。このようにポインタを移動して行けば簡単に加速制御が実現できる。加速情報テーブルの終わりには、終了コードを設けてあり、次データが終了コードの場合には、ポインタの位置を固定して以降のトリガコマンドに対してはその指し示す周波数データとステップ数データにてモータを回転させる。

【0016】

【発明が解決しようとする課題】しかしながら、上記従来例において、スレーブCPUであるワンチップマイクロコンピュータの内蔵ROMの容量は少なく、加速情報テーブルを何種類ももつのは困難である。

【0017】また、ワンチップマイクロコンピュータのプログラム容量と加速情報テーブルが占める容量とを常に考慮しながら設計しなければならず、プログラム開発においても極めて不便であった。

【0018】本発明は、ホストCPUに負担をかけることなく、かつスレーブCPU側のメモリ容量を大きくすることなく、複数種類の加速情報テーブルを使い分けて高精度のモータ制御を行うことができるファクシミリ装置を提供することを目的とする。

【0019】

【課題を解決するための手段】本発明は、装置全体の制御をつかさどるホストCPUの他に、このホストCPUの制御下におかれるモータ制御用のROM、RAM内蔵型のスレーブCPUを有するファクシミリ装置において、ホストCPU側のROM内に複数通りの加速情報テーブルを設けるとともに、スレーブCPU内蔵のRAMに前記加速情報テーブル1つ分が格納できるエリアを設け、原稿を読み取る前にROM内のテーブル群の内から1つを選択してスレーブCPU内の格納エリアに転送し、ホストCPUから発行されるトリガコマンドに対してスレーブCPUが内蔵RAMに格納した加速情報を基にモータを回転させることを特徴とする。

【0020】

【実施例】図1は、本発明の一実施例におけるファクシミリ装置の構成を示すブロック図である。

【0021】ホストCPU101は、装置全体を制御するCPUである。また、RAM102は、主にホストCPU101のプログラム制御変数を格納するためのメモリであり、RAM103は、ホストCPU101の制御プログラムを格納するためのメモリである。また、スレーブCPU104は、ステッピングモータ105を制御する専用のサブCPUである。

【0022】さらに、この装置には、ホストCPU101と各部をつなぐバス106と、CCDや画像処理IC等からなるスキャナ107と、原稿の有無等を検知するセンサ108と、各種入力キーや表示器等を設けた操作部109とを有する。

【0023】なお、以上は、主に本発明の制御に必要な構成について示したものであり、この他にも通信のためのモデム、記録のためのプリンタ等、通常のファクシミリ装置が有する構成が設けられているが、ここでは本実施例の説明にあたって直接関係はないので省略する。

【0024】図5は、本実施例における加速情報テーブルのデータの流れを説明するブロック図である。

【0025】ホストCPU101は、ROM103内に存在する複数種類の加速情報テーブル（505、506、507）のうちから1つを選択する。この選択手段としては操作部109のキーによる。

【0026】例えばファクシミリ装置における副走査方向の原稿送りモードである、標準、ファイン、スーパーファインがオペレータによって選ばれ、ホストCPU101はバス106を経由して加速情報テーブルをスレーブCPU104へ転送する。スレーブCPU104は、受信した加速情報テーブルを内蔵RAMのエリア504にセットする。なお、ここでデータの転送に関しては低い周波数の方から転送するという取り決めのもとで行なわれる。

【0027】具体的には、図6に示すように、まずデータ転送開始コマンドを発行した後、周波数データ1、ステップ数データ1、周波数データ2、ステップ数データ2、……周波数データN、ステップ数データNを順次転送する。そして、データ転送終了コマンドを発行することにより、加速情報テーブル格納エリア504の終わりに終了コードをセットする。

【0028】なお、ここで周波数データは、スレーブCPU104が実際にタイマ204に設定する値にしてやればスレーブCPU104側での変換作業が不要になる。

【0029】以上のようにして加速情報テーブルのセットが終了した後、ホストCPU101からのトリガコマンドに対して、まず、テーブルの先頭データでモータ1

05を動かし、ポインタを次データにセットする。

【0030】以降、ポインタを移動しながらモータ105を動かして行き、テーブルの最後のデータ（到達目標データ）になったらポインタを固定したままモータ105を回転させる。

【0031】また、複数ページの原稿を読む場合には、各ページを読み取る前に加速情報テーブルの転送を行えばよい。

【0032】この場合、センサ108により、前ページの後端が読み取り位置を過ぎて、次ページの先端が読み取り位置の手前に到達したタイミングで、操作部109から次ページの情報を得て、それに対応する加速情報テーブルを転送する。

【0033】さらに、原稿を読み取りながら送信するダイレクト送信時には、その交信モード（標準、ファイン、スーパーファイン）によって加速情報テーブルを選択してもよい。

【0034】

【発明の効果】本発明によれば、ホストCPUに負担をかけることなく、かつスレーブCPU側のメモリ容量を大きくすることなく、複数種類の加速情報テーブルを使い分けて高精度のモータ制御を行うことができるので、特にROM容量の少ないワンチップマイクロコンピュータをスレーブCPUに用いた場合でも、様々なパターン

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図である。

【図2】ワンチップマイクロコンピュータの構成例を示すブロック図である。

【図3】モータの加速制御の例を説明する模式図である。

【図4】従来のスレーブCPUのROM内に格納された加速情報テーブルの例を示す模式図である。

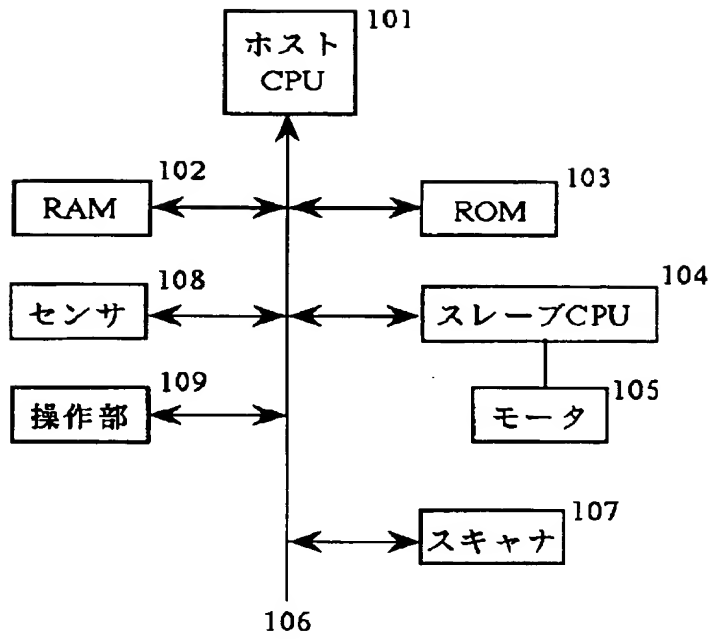
【図5】上記実施例における加速情報テーブルのデータの流れを説明するブロック図である。

【図6】上記実施例におけるデータ転送シーケンスを示す模式図である。

【符号の説明】

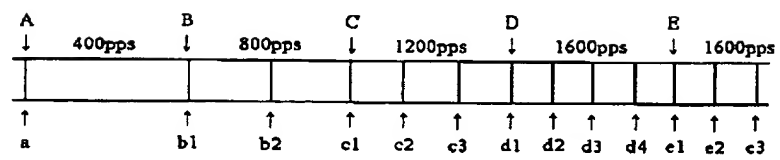
101…ホストCPU、
102…RAM、
103…RAM、
104…スレーブCPU、
105…ステッピングモータ、
106…バス、
107…スキャナ、
108…センサ、
109…操作部。

【図1】



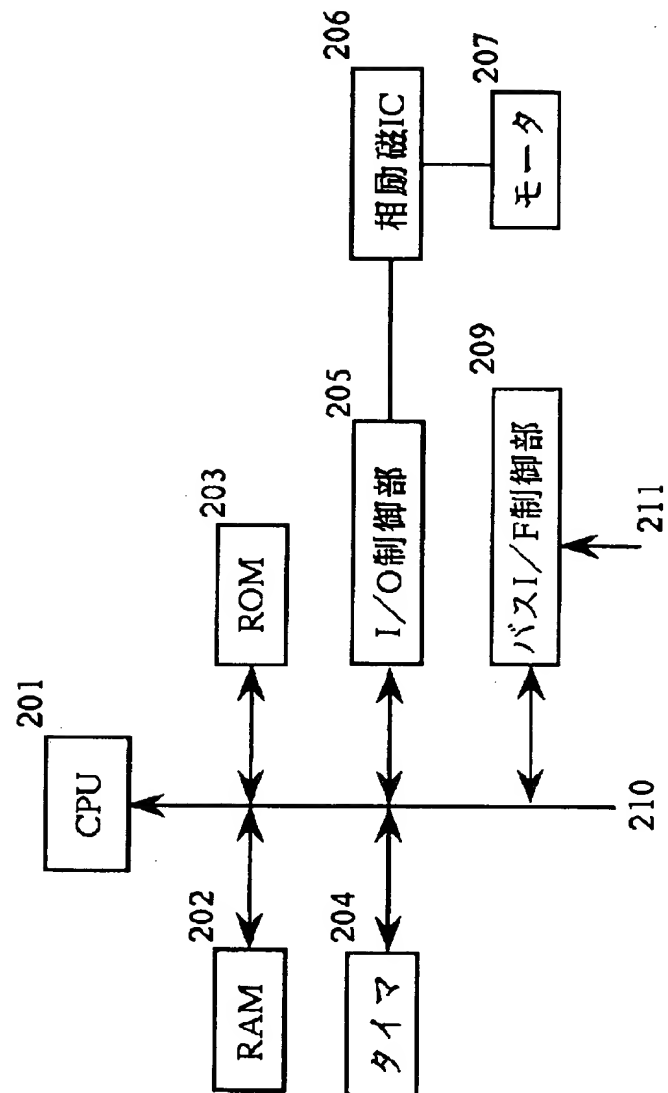
K2032

【図3】



K2032

【図2】



K2032

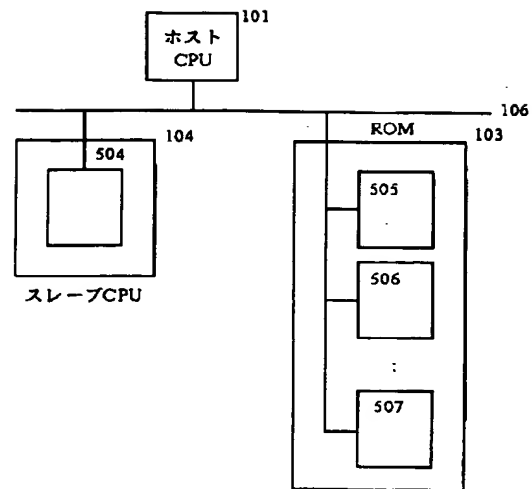
【図4】

ポインタ→

周波数	ステップ数
400pps	1
800pps	2
1200pps	3
1600pps	4
end	end

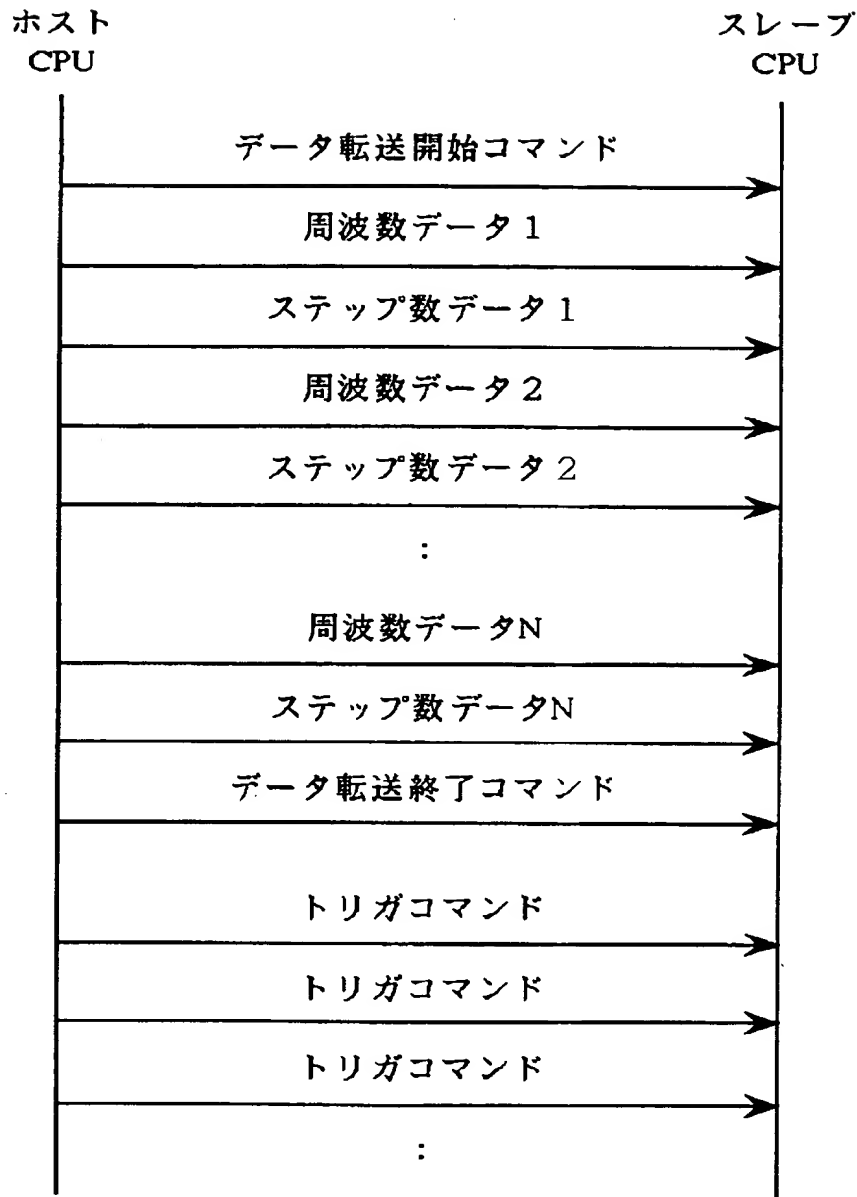
K2032

【図5】



K2032

【図6】



K2032

フロントページの続き

(56) 参考文献 特開 昭63-39272 (J P, A)
特開 昭63-299672 (J P, A)
特開 昭63-305667 (J P, A)
特開 昭64-62964 (J P, A)
特開 平1-194753 (J P, A)
特開 平1-233958 (J P, A)
特開 平2-200471 (J P, A)
特開 平2-207659 (J P, A)
特開 平3-114357 (J P, A)

(58) 調査した分野(Int. Cl.⁷, DB名)
H04N 1/04 - 1/207